

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-111341

(43)Date of publication of application : 25.04.1995

(51)Int.Cl.

H01L 33/00

G09F 9/30

H05B 33/08

(21)Application number : 05-253866

(71)Applicant : NEC CORP

(22)Date of filing : 12.10.1993

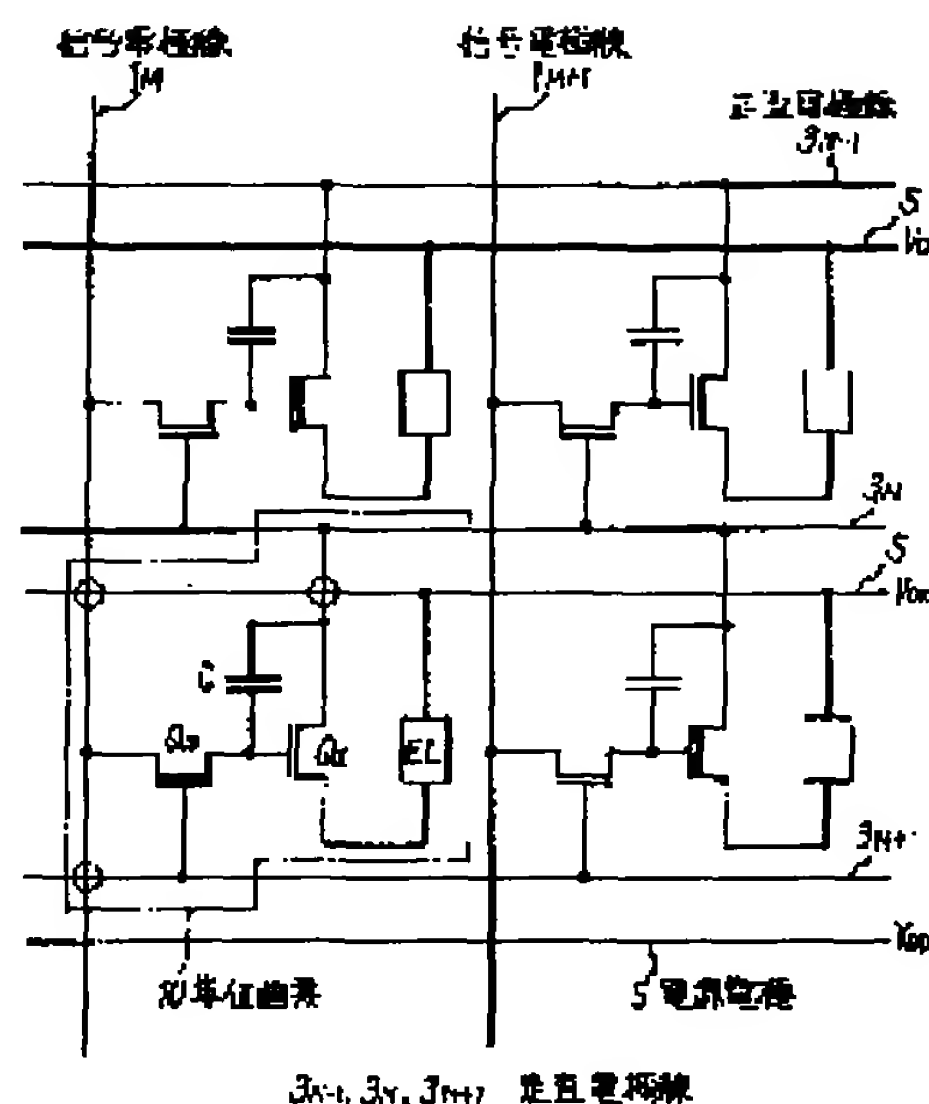
(72)Inventor : UTSUKI KOJI
IKEDA NAOYASU

(54) CURRENT CONTROL TYPE LIGHT EMITTING DEVICE ARRAY

(57)Abstract:

PURPOSE: To enable an active matrix type light emitting device array wherein current control type emitting devices such as ELs or LEDs are arranged in array to be lessened in overall length and number of intersections of wirings, reduced in occurrence rate of troubles caused by disconnections or short circuits of wirings, and improved in display quality by a method wherein various wirings required for driving the light emitting device array are lessened in kinds.

CONSTITUTION: The source electrode (opposed to an electrode located on the side of a light emitting device) of a current control transistor Q1 and one electrode of a capacitor C are connected to a scanning electrode wire 3N of a column (N-th column in a selection figure) different from one (N+1st column) to which a unit pixel 10 containing the transistor Q1 and the capacitor C belong. When a forward diode Di is inserted between a power supply electrode 5 and a light emitting device EL, the light emitting device EL can be prevented from deteriorating in performance due to that the light emitting device EL of a non-selective pixel is reversely biased.



LEGAL STATUS

[Date of request for examination] 25.03.1994

[Date of sending the examiner's decision of rejection] 24.12.1996

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2821347

[Date of registration] 28.08.1998

[Number of appeal against examiner's decision of rejection] 09-01219

[Date of requesting appeal against examiner's decision of rejection] 23.01.1997

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平7-111341

(43)公開日 平成7年(1995)4月25日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 33/00	J			
G 0 9 F 9/30	3 6 0	7610-5G		
H 0 5 B 33/08				

審査請求 有 請求項の数 3 O L (全 8 頁)

(21)出願番号 特願平5-253866

(22)出願日 平成5年(1993)10月12日

(71)出願人 000004237

日本電気株式会社
東京都港区芝五丁目7番1号

(72)発明者 宇津木 功二

東京都港区芝五丁目7番1号 日本電気株式会社内

(72)発明者 池田 直康

東京都港区芝五丁目7番1号 日本電気株式会社内

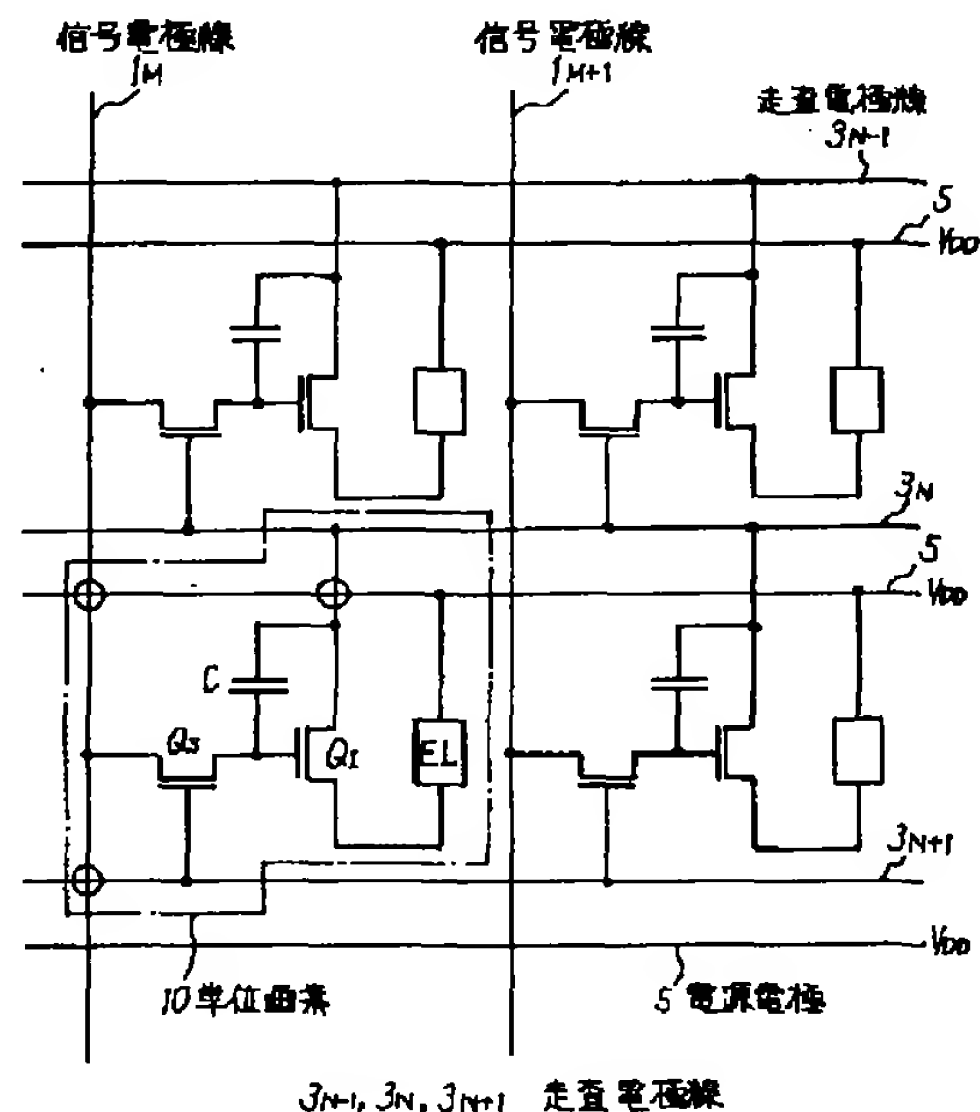
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 電流制御型発光素子アレイ

(57)【要約】

【目的】EL、LEDなどのような電流制御型発光素子をマトリクス状に配列した、アクティブマトリクス型の発光素子アレイを駆動する際に必要な配線の種類を減らすことにより、配線の全長および交差数を減少させて、断線および短絡などに起因する欠陥の発生率を減少させ、ディスプレイの品質を向上させる。

【構成】電流制御用トランジスタ Q_i のソース電極（発光素子EL側の電極とは反対側の電極）および容量Cの一方の電極を、これらトランジスタ Q_i および容量Cを含む単位画素10が属する行（ $N+1$ 行）とは異なる行（選択図では、 N 行）の走査電極線 3_N に接続する。電源電極5と発光素子ELとの間に順方向ダイオード D_i を挿入すると、非選択画素中の発光素子ELが逆方向バイアスされることによる発光素子ELの性能劣化を防止できる。



【特許請求の範囲】

【請求項1】 配列の単位となる単位画素が行および列をなすようにマトリクス状に配列されてなり、それぞれの前記単位画素が、少なくとも、発光輝度が素子に流れる電流により決る電流制御型の発光素子と、前記発光素子に流れる前記電流を制御するための前記発光素子に直列に設けられた電流制御用トランジスタと、前記マトリクス状配列の行を択一的に選択するために各行毎に設けられた走査電極線からの信号に応じて、前記マトリクス状配列の列を択一的に選択するために各列毎に設けられた信号電極線の電圧を前記電流制御用トランジスタの制御電極に供給するスイッチングトランジスタを含む構成の、アクティブマトリクス型の電流制御型発光素子アレイにおいて、前記電流制御用トランジスタの前記発光素子側の電極および前記制御電極とは異なる電極を、その電流制御用トランジスタを含む単位画素が属する行とは異なる行の前記走査電極線に接続したことを特徴とする電流制御型発光素子アレイ。

【請求項2】 前記発光素子の電流経路に、前記発光素子の順方向の向きに順方向ダイオードを挿入したことを特徴とする請求項1記載の電流制御型発光素子アレイ。

【請求項3】 請求項1又は請求項2記載の電流制御型発光素子アレイにおいて、前記発光素子が、少なくとも一層以上の有機発光層を含んでなる電荷注入型有機薄膜ELであることを特徴とする電流制御型発光素子アレイ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、ディスプレイなどに使用される電流制御型発光素子アレイに関し、特に、ELあるいはLEDのような発光輝度が素子を流れる電流により制御される電流制御型発光素子をマトリクス状に配置した、アクティブマトリクス型の電流制御型発光素子アレイに関する。

【0002】

【従来の技術】ディスプレイなどに用いられる電流制御型発光素子として、EL或いはLEDなどがよく知られている。なかでも有機の蛍光物質の薄膜を発光体層とした電荷注入型有機EL（以後、有機薄膜ELと記す）は、無機の薄膜ELやLEDでは実現困難な、安価で大面積のフルカラー表示を実現するものとして注目を集めている。以下に、従来の電流制御型発光素子アレイの構成を、上記の有機薄膜ELを用いたELパネルを例にして、主として駆動方法と関連させて説明する。

【0003】有機薄膜ELは、少なくとも一方が透明（又は半透明）な一対の電極間に、強い蛍光を発する有機色素からなる有機発光層と電荷注入層とが形成された構造をもっており、電極から注入した電子と正孔とが再結合することで発光する型の電流制御型発光素子であ

る。この有機薄膜ELの最大の特徴は、10V程度以下の低い電圧で1000Cd/m²程度以上の輝度が容易に得られ、しかも効率が数ルーメン/W程度以上と高いことである（但し、上記の性能は、直流駆動した場合のものである）。この性能は無機の薄膜ELの性能をはるかに超えている。

【0004】この高性能な発光を利用して有機薄膜ELをドットマトリクス表示ディスプレイに応用した例が、ソサイアティ・フォア・インフォメーション・ディスプレイ（Society for Information Display）発行の1989年度秋季学会講演予稿集（ジャパンディスプレイ'89：JAPANDISPLAY'89）、第704～第707頁に記載されている。

【0005】図5は、上記予稿集に記載されたディスプレイ用有機薄膜ELパネルの断面斜視図である。上記予稿集によると、この図に示したELパネルは、ガラス基板50上に、平行に走る複数の信号線51と、発光体層としての有機薄膜層52と、信号線51に直交する複数の走査線53とがこの順に形成された構造となっている。有機薄膜層52は、信号線51側から正孔注入層52Aと有機発光層52Bとが積層された二層構造である。信号線51が透明電極材料ITOでできているので、有機薄膜層52で生じた光は、この透明な信号線51を通してガラス基板50側から取り出される。この表示ディスプレイでは、いわゆる単純マトリクス型線順次駆動でパネルを駆動する。つまり、走査線53をコモンとしてこれらの走査線53を一本ずつ順次選択し、各走査線ごとにその走査線が選択されている期間信号線51に一斉に正のパルス電圧V₀を印加する。このような構成で、駆動パルス電圧V₀=20～30V、デューティ3.5%でパルス駆動したとき、20～30Cd/m²の輝度が得られ、又、駆動パルスのオン・オフに伴う発光の応答速度は10μs以下であった。尚、このようなパルス駆動の場合、輝度は駆動パルス幅に比例する。

【0006】上述の有機薄膜ELを用いた単純マトリクス型のELパネルは、前述したように、駆動パルス幅に比例して輝度が高くなる特性を示す。従って、いま、表示画像を高精細化するために走査線数を増加させると、駆動パルスが高デューティ化してそのパルス幅が狭くなりパルス当りの輝度不足が問題となるので、走査線数の増加には限界が出てくる。このような高デューティ化に伴う輝度低下は、駆動パルスを高電圧化することによって補うことができるが、この場合、有機薄膜ELの低電圧性という特徴を十分生かせなくなる。しかも、駆動パルスを高電圧化することにより有機薄膜ELの劣化が加速され、電荷の注入効率及び発光効率が時間と共に低下して行くという現象が生じるので、一定した駆動電圧の下で一定した輝度を得ることができなくなるという障害が起る。

【0007】上記の高デューティ化に伴う輝度低下は、有機薄膜ELの印加パルスに対する発光応答速度が極めて速いことに起因する。言い換えると、有機薄膜ELの発光メカニズムがメモリ性を備えていないことに基づくものである。従って、走査線数の多いマトリクス型有機薄膜ELパネルを低電圧かつ高輝度で発光させるには、駆動回路を工夫して、有機薄膜ELに一定電圧がある一定期間以上印加されるような、換言すれば回路そのものがメモリ性を持つような駆動回路を有機薄膜ELに組み合わせることが必要になる。

【0008】このような駆動回路として、ソサイアティ・フォア・インフォメーション・ディスプレイ（Society for Information Display）発行の1990年度秋季学会講演予稿集（ユーロディスプレイ'90：EURODISPLAY'90）、第216～第219頁に記載された駆動回路がある。図6は、上記予稿集に記載された発光素子アレイにおいて、電流制御型発光素子の部分を前述した有機薄膜ELを用いて表した回路図である。尚、説明の便宜上、同図には発光素子アレイのうち、2行2列の分のみを示す。

【0009】図6を参照すると、この発光素子アレイの単位画素30（N+1行、M列に配置された画素を例にする）は、その素子を流れる電流により輝度が決る電流制御型の発光素子EL（有機薄膜EL）と、発光素子ELの電流を制御するための電流制御用トランジスタ Q_1 と、電荷保持用の容量Cと、スイッチングトランジスタ Q_2 とからなっている。このアレイには、各単位画素を選択するために各行毎に走査電極線が設けられ、又、各列毎に信号電極線が設けられている。例えば、図6において、（N+1）行、M列に配置された単位画素30は、（N+1）番目の行に属する複数の単位画素に共通な走査電極線 3_{N+1} と、M番目の列に属する複数の単位画素に共通な信号電極線 1_M とによって選択される。発光素子ELには、電源電極5から電源電圧 V_{DD} が供給されている。図6において、走査電極線 3_{N+1} が選択されスイッチングトランジスタ Q_2 がオンになると、信号電極線 1_M の電圧がスイッチングトランジスタ Q_2 を介して電荷保持用容量Cに供給される。走査電極線 3_{N+1} が非選択の状態になると、スイッチングトランジスタ Q_2 がオフになって容量Cに印加された電圧が保持される。容量Cの端子電圧は電流制御用トランジスタ Q_1 のゲート・ソース間に印加されるので、電流制御用トランジスタ Q_1 のゲート電圧・ドレイン電流特性に応じた電流が電源電極5から供給され、発光素子ELとトランジスタ Q_1 とを通過して、共通電極線7に流れる。この電流により発光素子ELが発光する。このとき発光素子ELの輝度と容量Cに印加する電圧との関係が分っていれば、発光素子ELを所定の輝度で発光させることが可能である。しかも、トランジスタ Q_1 のゲート・ソース間電圧

は容量Cに蓄えられた電荷により所定時間ほぼ一定電圧に保持される、つまり駆動回路にメモリ性があるので、このELパネルでは、駆動パルスを高デューティ化してパルス幅が狭くなってもそれに伴って発光素子ELの輝度が低下することはない。従って輝度低下を防ぐために発光素子ELに加える電圧（この場合は、電源電極5の電圧 V_{DD} ）を高める必要はない。

【0010】尚、図6に示す発光素子アレイでは、電流制御用トランジスタ Q_1 のゲート電極に電荷保持用の容量Cを設けたが、この容量Cは必ずしも必要とされるものではなく、電荷保持時間などの回路条件によっては、トランジスタ Q_1 のゲート・ソース間の寄生容量で代用することもできる。

【0011】

【発明が解決しようとする課題】上述の、単位画素をマトリクス状に配置した発光素子アレイにおいて、画質劣化の原因となる欠陥は、主に配線の断線、配線同士の短絡によるものである。一般に、欠陥の発生率はアレイ上の配線長が長いほど、また配線と配線との交差部の数が多いほど増加する。図6に示した従来の発光素子アレイでは、単位画素30を駆動するために、信号電極線 1_M 、走査電極線 3_{N+1} 、電源電極5および共通電極線7の4種類の共通配線が必要である。その結果、単位画素30内には、図6中に○印を付して示す4個所の配線交差が生じる。そして、これに伴い配線の全長及び交差部の数が増加し、配線の切断および配線間短絡の確率が高くなって良品率が減少するという問題があった。

【0012】従って、本発明は、共通配線の断線及び短絡による画質劣化のない、高品質のアクティブマトリクス型の発光素子アレイを提供することを目的とするものである。

【0013】本発明の他の目的は、特に有機薄膜ELに用いてその低電力性を有効に発揮せしめる駆動回路を備えた発光素子アレイを提供することにある。

【0014】

【課題を解決するための手段】本発明の電流制御型発光素子アレイは、配列の単位となる単位画素が行および列をなすようにマトリクス状に配列されてなり、それぞれの前記単位画素が、少なくとも、発光輝度が素子に流れる電流により決る電流制御型の発光素子と、前記発光素子に流れる前記電流を制御するための前記発光素子に直列に設けられた電流制御用トランジスタと、前記マトリクス状配列の行を択一的に選択するために各行毎に設けられた走査電極線からの信号に応じて、前記マトリクス状配列の列を択一的に選択するために各列毎に設けられた信号電極線の電圧を前記電流制御用トランジスタの制御電極に供給するスイッチングトランジスタとを含む構成の、アクティブマトリクス型の電流制御型発光素子アレイにおいて、前記電流制御用トランジスタの前記発光素子側の電極および前記制御電極とは異なる電極を、そ

の電流制御用トランジスタを含む単位画素が属する行とは異なる行の前記走査電極線に接続したことを特徴とする。

【0015】又、本発明の電流制御型発光素子アレイは、前記発光素子の電流経路に、前記発光素子の順方向の向きに順方向ダイオードを挿入したことを特徴とする。

【0016】

【作用】第1の発明の電流制御型発光素子アレイは、アクティブマトリクス型では行の選択が走査電極線により択一的に行われることを利用している。すなわち、電流制御用トランジスタの、発光素子に接続されているのとは反対側の電極を、その単位画素が属している行とは異なる行の走査電極線に接続することにより、従来設けられていた共通電極線を廃止している。従って、配線の全長及び配線の交差部の数が減少し、断線及び短絡による欠陥が減る。

【0017】又、第2の発明の電流制御型発光素子アレイは、ある行の走査電極線が選択された際に別の非選択の行の発光素子に逆方向電流が流れないように、各発光素子に直列にダイオードを挿入した構造を持つ。これにより、アレイが、非選択の画素中の発光素子に逆方向電圧が加わるような回路条件で駆動された場合でも、その逆方向電圧はダイオードに吸収され発光素子には印加されないため、発光素子の性能の劣化及び破壊等が起らない。

【0018】第1及び第2の発明は、これを特に、電流制御型発光素子としての有機薄膜ELに適用すると、その低電力高輝度性という特徴を発揮するのに著しい効果がある。

【0019】

【実施例】次に、本発明の好適な実施例について、図面を参照して説明する。本実施例は後に述べるように、発光素子としての有機薄膜ELに、スイッチングトランジスタ及び電流制御用トランジスタとして逆スタガ型のアモルファスシリコン薄膜トランジスタ（a-SiTFT）を適用したものである。

【0020】まず本実施例の回路構成について説明する。図1は、本発明の第1の実施例の回路図であり、図6と同様に、発光素子アレイ中の2行2列の部分を図示している。図1を参照すると、本実施例は、単位画素10中の電流制御用トランジスタ Q_1 のソース電極（発光素子EL側の電極とは反対側の電極）と電荷保持用容量Cの一方の電極（トランジスタ Q_1 のゲート電極に接続される電極とは反対側の電極）とが一つ前の行の走査電極線に接続されている点が、図6に示す従来の発光素子アレイとは異なっている。本実施例では、例えば（N+1）行、M列に位置する単位画素10の場合、トランジスタ Q_1 及び容量Cの上記2つの電極はそれぞれ、一つ前の行（N行）の走査電極線 3_N に接続されている。図

6に示す従来の発光素子アレイでは、これら電極は共通電極線7に接続されている。

【0021】ここで、本実施例の断面構造及び素子の平面レイアウトを、図1に示す回路図と関連させて説明し、併せてその製作過程を説明する。図2は、本実施例の単位画素における素子の平面レイアウトを示す図であり、走査電極線 3_N と 3_{N+1} 及び信号電極線 1_M と 1_{M+1} で囲まれた四辺形の単位画素内に配置された電荷保持用容量C、電流制御用トランジスタ Q_1 及びスイッチングトランジスタ Q_2 の配置を示す。発光素子としての有機薄膜ELは、これらトランジスタ及び容量の上部に単位画素内にほぼ一杯に形成されており、平面レイアウト図では表し難いので、電子注入電極（後述）52Cのみを示し詳細は図示省略してある。図3は、図2中のA-A断面図であって、容量C、トランジスタ Q_1 及びこれらの上部に形成された有機薄膜ELの断面構造を示す。

【0022】図3を参照して、本実施例は、有機薄膜ELに逆スタガ型のa-SiTFTを適用した構造となっている。有機薄膜ELは、有機薄膜層52が、ガラス基板50側、すなわちa-SiTFT製電流制御用トランジスタ Q_1 の側から、スペーサ層52C、有機発光層52B及び正孔注入層52Aが積層された三層構造となっている。スペーサ層52Cは、電極界面での励起子の解離を防止するためのものである。

【0023】有機薄膜層52の上部には、透明電極材料ITOを用いた透明な正孔注入電極54が形成されている。この正孔注入電極54は、図1における電源電極5に相当する。一方、有機薄膜ELのTFT側には、金属材料MgAg製の電子注入電極55が形成されている。この電子注入電極55は、第2コンタクトホール56Bを介して電流制御用トランジスタ Q_1 のドレイン電極 D_{q1} に電気的に接続されている。本実施例では、有機薄膜ELを構成するそれぞれの薄膜層のうち、電子注入電極55は各画素単位で独立した島状パターンとなっているのに対して、有機薄膜層52と正孔注入電極54とは、発光素子アレイを構成する全画素に共通して形成されている、つまり、パネル全面に形成されている。そして、ある画素が選択されてその画素内のトランジスタ Q_1 が導通すると、全体の有機薄膜層のうちその選択された画素上の部分が加えられた電界によって発光し、透明電極54を通して外部に光を放出する。

【0024】図2を参照すると、本実施例では、同図中に斜線を施して示すように、紙面左右方向に走る走査電極線 3_N から分岐してきた配線の一部がそのまま電荷保持用容量Cの電極となっている。一方、走査電極線 3_N からのもう一つの分岐が、第1コンタクトホール56Aを介して電流制御用トランジスタのソース電極 S_{q1} に接続している。すなわち、容量Cの電極及び電流制御用トランジスタのソース電極は、一つ前の行の走査電極線3

n に接続されている。これに対して、スイッチングトランジスタ Q_s においては、紙面左右方向に走る走査電極線 3_{n+1} から分岐した配線の一部がそのままスイッチングトランジスタのゲート電極 G_{gs} となっている。すなわち、スイッチングトランジスタのゲート電極は、自身が属する行の走査電極線 3_{n+1} に接続されている。

【0025】本発明者らは、本実施例を以下のようにして作製した。はじめに、ガラス基板50上にCrを200nm成長し、走査電極線 3_n 及び 3_{n+1} 、電荷保持用容量Cの一方の電極、スイッチングトランジスタのゲート電極 G_{gs} 、電流制御用トランジスタのゲート電極 G_{gt} をパターンニングし、更にゲート絶縁膜として SiO_2 を400nm成長した後、第1コンタクトホール56Aを開ける。

【0026】次に、 SiO_2 上に、TFTのアイランドを形成するためのイントリンジックアモルファスシリコン(i-a-Si)及び、オーミックコンタクトを取るための n^+ アモルファスシリコン(n^+ -a-Si)を、それぞれ300nm及び50nm成長し、パターンニングしてアイランドを形成する。このアイランドは、後にTFT(電流制御用トランジスタ Q_t 及びスイッチングトランジスタ Q_s)のチャネル部が形成される部分である。

【0027】次いで、Crを10nm堆積しパターンニングして、信号線 1_n 、電流制御用トランジスタ Q_t のソース電極 S_{gt} 及びドレイン電極 D_{gt} 、スイッチングトランジスタ Q_s のドレイン電極及びソース電極、電荷保持用容量Cのもう一方の電極を形成する。更に、電流制御用及びスイッチングの各TFTのアイランドのi-a-Si及び n^+ -a-Siを、各TFTのソース電極及びドレイン電極用のCrをマスクとしてi-a-Siの途中までエッチングし、各TFTのチャネル部を形成する。

【0028】次に、 SiO_2 を200nm成長し、電流制御用トランジスタ Q_t のソース電極 S_{gt} とこの後の工程で成長される電子注入電極(有機薄膜ELの一方の電極)55とを接続するための第2コンタクトホール56Bをエッチングして開ける。その後、MgAgを200nm成長し、リフトオフ法によってパターンニングして電子注入電極55を形成する。

【0029】このようにして、1画素の大きさが $100 \times 300 \mu m^2$ で、 400×640 画素数のパネルを作った。

【0030】次に、このようにして得られたパネル上に、有機薄膜ELを形成する。本実施例に用いた有機薄膜ELの有機薄膜層52は、既に述べたように、電子注入電極55側から、電極界面での励起子の解離を防止するためのスペーサ層52C、有機発光層52B及び正孔注入層52Aが積層された三層構造となっている。スペーサ層52Cとしてトリス(8-ヒドロキシキノリン)

アルミニウムを真空蒸着法によって50nm形成した後、有機発光層52Bとしてトリス(8-ヒドロキシキノリン)アルミニウムと3,9-ペリレンジカルボン酸ジフェニルエステルとを各々別の蒸発源からの共蒸着によって70nm形成した。更に、正孔注入層52Aとして1,1-ビス-(4-N,N-ジトリルアミノフェニル)シクロヘキサンを真空蒸着法によって50nm形成した。

【0031】最後に正孔注入電極54として、厚さ1 μm の透明電極材料ITOの層を塗布法により形成した。

【0032】以下に、本実施例の動作について説明する。図1において、いま、走査電極線 3_{n+1} が選択されスイッチングトランジスタ Q_s がオン状態になると、M列目の信号電極線 1_n の電圧がスイッチングトランジスタ Q_s を通して電荷保持用容量Cに供給される。

【0033】走査電極線 3_{n+1} が非選択の状態になるとスイッチングトランジスタ Q_s がオフになって、信号線 1_n の電圧が電荷保持用容量Cに保持される。容量Cの端子電圧は電流制御用トランジスタ Q_t のゲート・ソース間に印加され、トランジスタ Q_t のゲート電圧・ドレイン電流特性に応じた電流が、電源電極5→発光素子EL→トランジスタ Q_t →走査電極線 3_n という経路で流れ、発光素子ELが発光する。このとき、発光素子ELの輝度と容量Cに印加する電圧との関係がわかっているならば、所定の輝度で発光素子ELを発光させることが可能である。

【0034】本実施例において、有機薄膜ELの両端の電圧を7Vで駆動したところ、約 200 cd/m^2 の輝度を示し、このとき、EL素子中の電流密度は約 0.8 mA/cm^2 であった。全画素の有機薄膜EL部分の消費電力は1.84W、効率は7.81lm/Wで、本実施例の性能が既存の発光型ディスプレイの性能を越えるものであることを確認した。

【0035】本実施例は、上記のように、他の既存の発光型ディスプレイの性能を越える低電力・高輝度性を示しながらしかも、従来の発光素子アレイに必要なであった共通電極線7(図6参照)が不要で、必要な配線は、走査電極線、電源電極および信号電極線の3本だけである。その結果、本実施例における配線の全長は従来の約2/3以下になり、又、単位画素10中の配線の交差も、図1に○印を付して示すとおり、従来最低4個必要であったものが3個で済む。

【0036】尚、本実施例では、電流制御用トランジスタ Q_t のソース電極を、このトランジスタ Q_t を含む単位画素10が属している行(例えば、N+1行)の一つ前の行(N行)の走査電極線 3_n に接続したが、本発明はこれに限られるものではない。アクティブマトリクス型発光素子アレイでは、行の選択が走査電極線によって線順次方式で択一的に行われるので、トランジスタ Q_t の電極が接続される走査電極線は、そのトランジスタQ

1_j が含まれる画素が属する行（例えば、 $N+1$ 行）の走査電極線（同、 3_{N+1} ）以外であれば、任意の走査電極線に接続して本実施例と同様の効果を得ることができる。

【0037】なお又、本実施例では、有機薄膜層が三層構造の有機薄膜ELを用いたが、有機薄膜としては有機発光層単独であっても構わない。更には、有機薄膜層を構成する膜は単一種類の材料からなる単独膜であってもよいし、例えば樹脂や高分子などと混合された混合膜であってもよい。又、正孔注入電極としては、透明または半透明のものであれば、通常用いられる材料はいずれも用いることができる。これら（半）透明電極材料としては本実施例で用いたITOの他に、 SnO_2 、 $\text{SnO}_2:\text{Sb}$ 、 $\text{ZnO}:\text{Al}$ や Au などが挙げられる。電子注入電極用金属材料としては、 Al 、 In 、 Mg 、 Ag 、 $\text{Mg}:\text{Ag}$ 、 $\text{Mg}:\text{In}$ や $\text{Al}:\text{Li}$ などが用いられる。

【0038】次に本発明の第2の実施例について説明する。図4は、本発明の第2の実施例の回路図である。同図と図1とを参照して、本実施例は、電源電極5と発光素子ELとの間に、直列に順方向ダイオード D_1 が設けられている点が第1の実施例と異なっている。

【0039】図4において、いま、走査電極線 3_{N+1} が選択されスイッチングトランジスタ Q_5 がオンになると、信号電極線 1_j の電圧がトランジスタ Q_5 を介して電荷保持用容量Cに供給される。走査電極線 3_{N+1} が非選択の状態になるとトランジスタ Q_5 はオフになり、信号電極線 1_j に印加された電圧が容量Cに保持される。容量Cの電圧は電流制御用トランジスタ Q_1 のゲート・ソース間に印加され、トランジスタ Q_1 のゲート電圧・ドレイン電流特性に応じた電流が、電源電極5→ダイオード D_1 →発光素子EL→トランジスタ Q_1 →走査電極線 3_N という経路で流れ発光素子ELが発光する。このとき、発光素子ELの輝度と容量Cに印加する電圧との関係がわかっているならば、所定の輝度で発光素子ELを発光させることが可能である。

【0040】ここで図4において、今、走査電極線 3_{N+1} が選択されていない場合は走査電極線の電圧よりも電源電極5の電圧 V_{DD} のほうが高く、選択された場合は走査電極線の電圧のほうが電圧 V_{DD} よりも高くなるような回路条件であるものとする。又、発光素子ELは、電流がダイオード D_1 から電流制御用トランジスタ Q_1 の方向に流れたときに発光するように接続してあるとする。このような構成で、 N 行目の走査電極線 3_N が選択された場合を考える。もしダイオード D_1 が回路中に挿入されていないと、 $(N+1)$ 行目の走査電極線 3_{N+1} に接続された発光素子ELに逆方向の電圧が印加されるので、発光素子ELの性能劣化もしくは素子破壊を引き起こす可能性がある。これに対して本実施例では、各画素中の発光素子に対してダイオードが電源電極から走査

電極線に電流が流れる向きに接続されているので、例えば N 行目の走査電極線 3_N が選択されたとき、 $(N+1)$ 行、 M 列)の単位画素20中のダイオード D_1 に逆方向電圧が加わることになる。言い換えれば、このダイオード D_1 が電源電極電圧 V_{DD} と走査電極線 3_N との間の電圧を吸収して発光素子ELに逆方向電圧が加わらないように作用し、発光素子ELに電流が流れるのを阻止してこれを保護する。

【0041】尚、本実施例では、電流制御用トランジスタ Q_1 のソース電極を、このトランジスタ Q_1 を含む画素が属する行（例えば、 $N+1$ 行）の一つ前の行（ N 行）の走査電極線 3_N に接続したが、第1の実施例と同様に、本発明はこれに限らず、電流制御用トランジスタ Q_1 の電極はそのトランジスタ Q_1 が含まれる画素が属する行（例えば、 $N+1$ 行）の走査電極線 3_N 以外であれば、任意の走査電極線に接続可能である。

【0042】尚また、本実施例では電流制御型発光素子として有機薄膜ELを用いたが、本発明はこれに限らず、無機EL、LEDなど素子を流れる電流により輝度が決定される発光素子は全て適用可能である。

【0043】

【発明の効果】以上述べた様に、本発明によれば、電流制御型発光素子アレイの配線数を従来より少なくできる。従って配線の全長および交差数を減少させることができ、これに伴って断線及び短絡による欠陥を大幅に減少させてディスプレイの画質を向上させることができる。

【0044】更に本発明によれば、発光素子の順方向に電流が流れる向きにダイオードを設けることにより、アレイ中の他の行が選択され非選択の行の画素中の発光素子に逆方向に電圧が印加される状態になっても、発光素子には電流が流れず保護されるので、逆方向電圧の印加による性能の劣化を無くすることができる。

【0045】本発明を有機薄膜ELに適用すれば、有機薄膜ELの画素数を多くして高精細にしても低電圧で高輝度なマトリクスタイプの有機薄膜ELディスプレイが得られる。

【図面の簡単な説明】

【図1】本発明の第1の実施例の回路図である。

【図2】本発明の第1の実施例の素子配置を示す平面レイアウト図である。

【図3】本発明の第1の実施例の断面図である。

【図4】本発明の第2の実施例の回路図である。

【図5】有機薄膜ELを用いた単純マトリクス型表示ディスプレイパネルの断面斜視図である。

【図6】従来の電流制御型発光素子アレイの一例の回路図である。

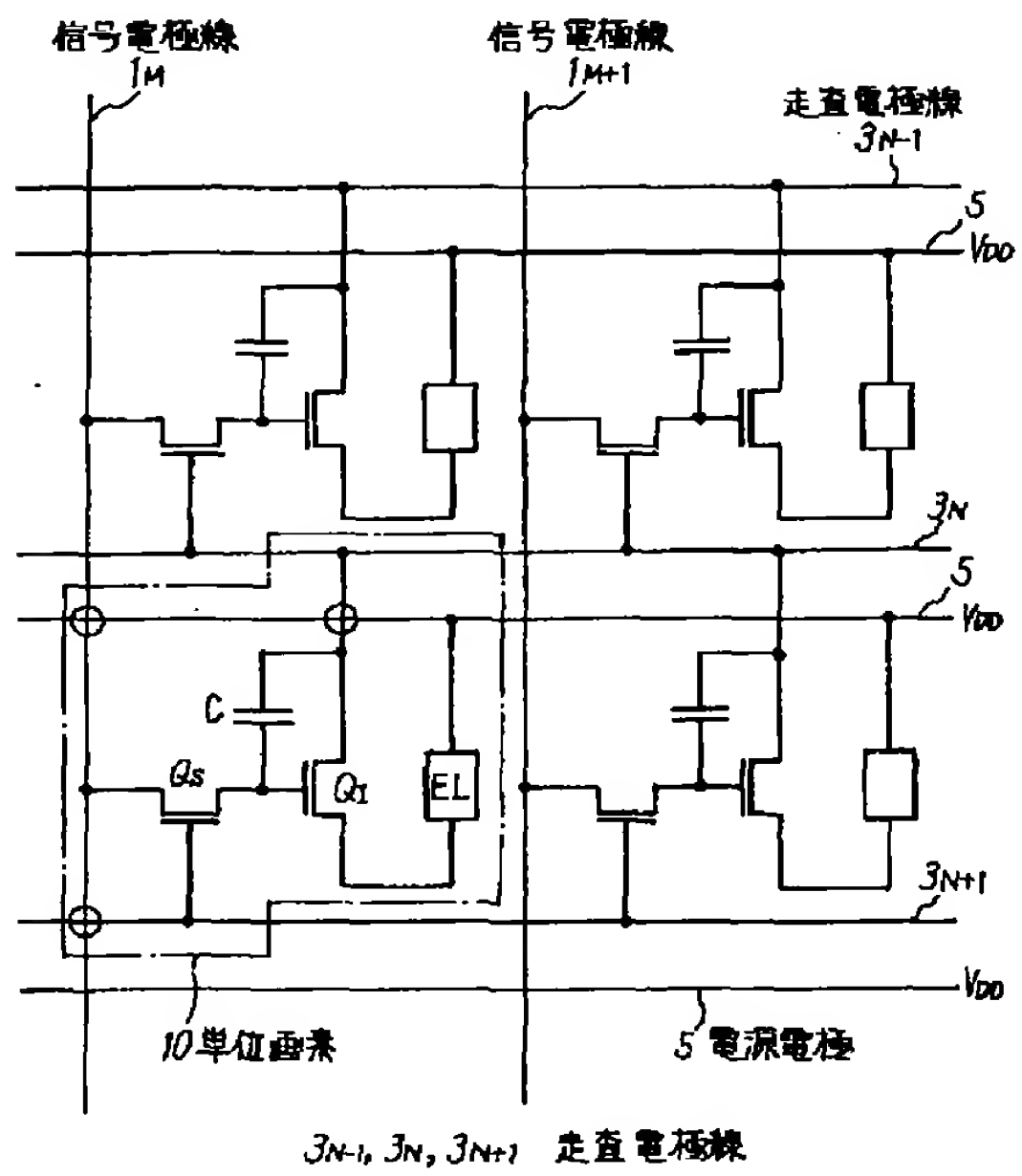
【符号の説明】

$1_j, 1_{N+1}$ 信号電極線
 $3_{N+1}, 3_H, 3_{N+1}$ 走査電極線
5 電源電極

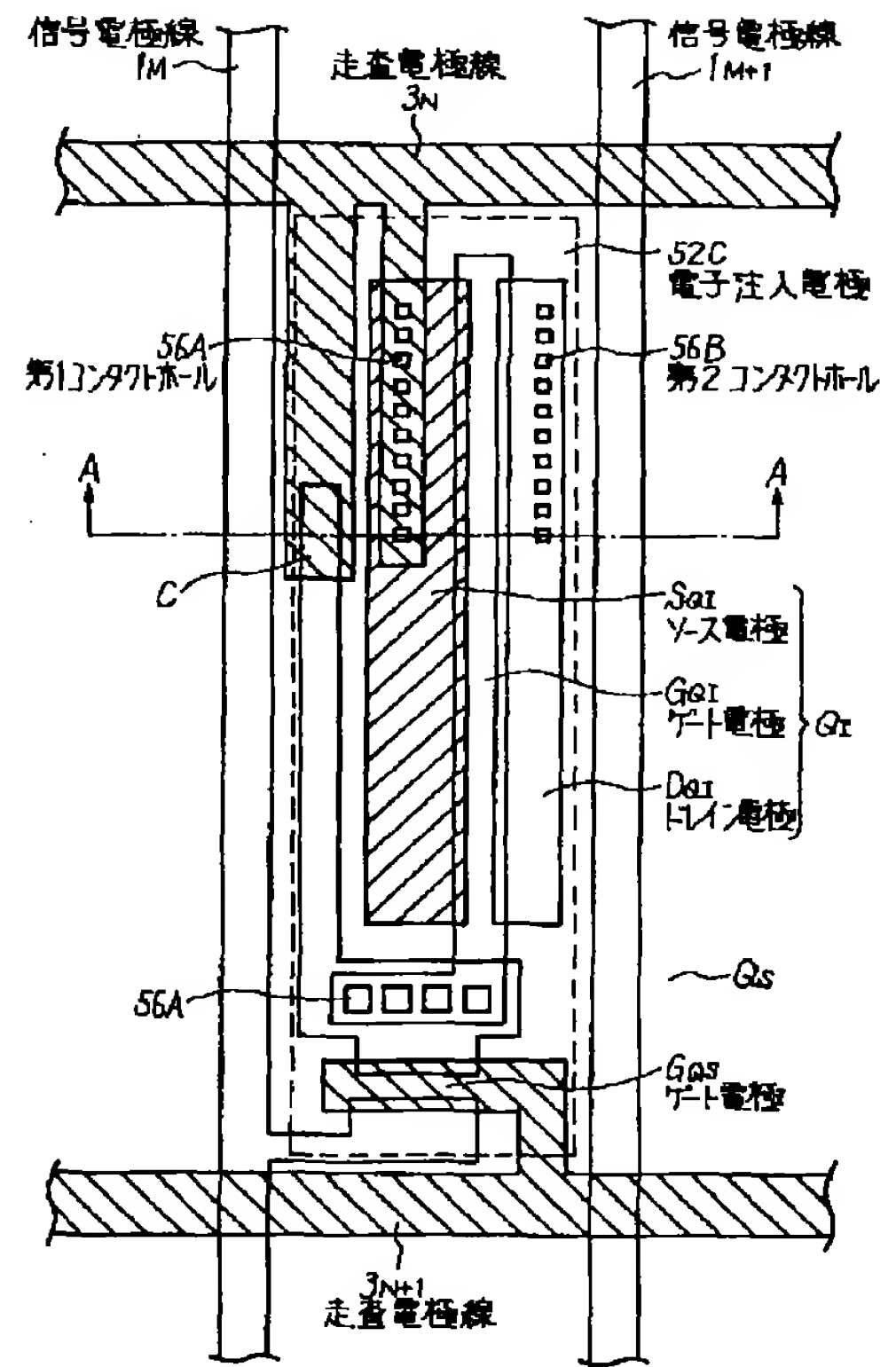
- 7 共通電極線
- 10, 20, 30 単位画素
- 50 ガラス基板
- 51 信号線
- 52 有機薄膜層
- 52A 正孔注入層

- 52B 有機発光層
- 52C 電子注入電極
- 53 信号線
- 54 正孔注入電極
- 55 電子注入電極
- 56A, 56B コンタクトホール

【図1】



【図2】



【図5】

